

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-44062

(P 2002-44062 A)

(43) 公開日 平成14年2月8日 (2002. 2. 8)

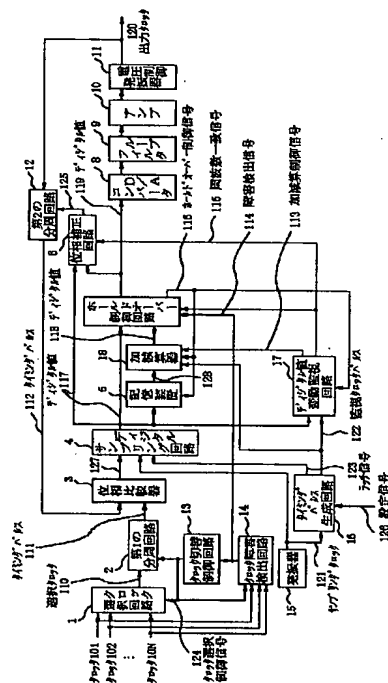
(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
H 0 4 L	7/02	H 0 4 J 3/00	U 5B079
G 0 6 F	1/06	3/06	D 5K028
H 0 4 J	3/00	H 0 4 L 7/02	Z 5K047
	3/06	G 0 6 F 1/04	3 1 0 A
// H 0 3 K	5/00	H 0 3 K 5/00	V
審査請求 有 請求項の数 1 0		O L	(全 8 頁)
<hr/>			
(21) 出願番号	特願2000-227695 (P2000-227695)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成12年7月27日 (2000. 7. 27)	(72) 発明者	谷本 真治 東京都港区芝五丁目7番1号 日本電気株式 会社内
		(74) 代理人	100082935 弁理士 京本 直樹 (外2名)
		F ターム (参考)	5B079 BA01 BB04 BC03 CC14 DD20 5K028 AA00 NN23 NN31 NN57 SS24 5K047 AA05 GG02 GG45 MM24 MM49 MM63

(54) 【発明の名称】 クロック供給装置およびクロック供給方法

(57) 【要約】

【課題】 クロック供給装置は、選択している入力クロックに障害が発生すると障害のないクロックに切り替えを行う。しかし切り替え制御を行う際に出力クロックの位相が急変すると、出力クロックで動作している周辺回路、及び後段のクロック供給装置に信号エラー等重大な影響を与えネットワークを不安定にする。

【解決手段】 本発明は、クロックを切り替えるとき出力クロックを切り替え前の状態に保持し新たな選択クロックの位相と出力クロックの位相を合わせたのち該選択クロックに出力クロックを同期させるホールドオーバー機能を備え、新たに選択したクロックの位相とホールドした出力クロックの位相を所定の周期ごとに比較し比較結果をデジタル値で出力する手段と、この比較結果の増減または一定の結果に基づき出力クロックを制御する手段を備える。



【特許請求の範囲】

【請求項 1】 複数のクロックから 1 つのクロックを選択し該クロックに同期するクロックを出力するクロック供給装置であり、かつ選択したクロックを切り替えるとき出力クロックは切り替え前の状態を保持し新たに選択したクロックの位相と出力クロックの位相を合わせたのち該選択したクロックに出力クロックを同期させるホールドオーバー機能を備えるクロック供給装置において、前記新たに選択したクロックの位相と出力クロックの位相を所定の周期ごとに比較し比較結果をデジタル値で出力する手段と、

該比較結果の変動に基づき出力クロックを制御する手段、を備えることを特徴とするクロック供給装置。

【請求項 2】 前記比較結果のデジタル値の変動に応じて切り替え前の比較結果の値を所定の周期ごとに増加させ又は減じて出力する加減算手段を備え、所定の周期で出力される加減算手段の出力値によって前記出力クロックの発振回路を制御する請求項 1 記載のクロック供給装置。

【請求項 3】 前記比較結果のデジタル値が変化しない場合にホールドオーバー状態を終了させる手段を備える請求項 1 記載のクロック供給装置。

【請求項 4】 加減算手段は比較結果のデジタル値に 1 を加算または 1 を減じる請求項 2 記載のクロック供給装置。

【請求項 5】 複数のクロックから 1 つのクロックを選択し該クロックに障害が発生したとき他のクロックを選択して出力するクロック選択手段と、所定の制御信号に基づいた周波数のクロックを出力する発振手段と、

前記クロック選択手段の出力するクロックに基づいたタイミング信号と前記発振手段の出力するクロックに基づくタイミング信号の位相差を比較しその比較結果をデジタル値で出力する位相比較手段と、

前記比較結果を記憶する記憶手段と、選択しているクロックに障害が発生したとき前記発振手段をホールドオーバー状態にし、他のクロックが選択された後、前記発振手段のホールドオーバー状態を解除するホールドオーバー手段と、

前記発振手段の出力するクロックに基づくタイミング信号のパルス位置を制御する位相補正手段を備えるクロック供給装置において、

位相比較手段の出力するデジタル値の比較結果を所定の周期ごとに出力するサンプリング手段と、

サンプリング手段の出力するデジタル値の変動を監視し該変動状態に応じた信号を所定の周期で出力する変動監視手段と、

該変動監視手段の出力する信号に基づき前記記憶手段の記憶している値を増加させ又は減じて出力する加減算手段を備え、

ホールドオーバー手段は、前記記憶手段の保持値によって前記発振手段をホールドオーバー状態とし所定の周期で出力される加減算手段の出力値によって前記発振手段を制御し、サンプリング手段の出力値と前記加減算手段の出力値とが一致したときサンプリング手段の出力値を出力しホールドオーバー状態を解除する、ことを特徴とするクロック供給装置。

【請求項 6】 加減算手段は記憶手段の記憶しているデジタル値に 1 を加算または 1 を減じる請求項 5 記載のクロック供給装置。

【請求項 7】 変動監視手段はサンプリング手段の出力値を所定の周期でラッチし、1 周期前にラッチした値と比較し、増加、減少、または変動なしを検知し制御信号を加減算手段に送付する請求項 5 記載のクロック供給装置。

【請求項 8】 サンプリング手段および変動監視手段の動作周期を与えるタイミングパルス生成回路を有し、該動作周期は可変である請求項 5 記載のクロック供給装置。

【請求項 9】 選択されたクロックに同期するクロックを出力し、該選択したクロックを切り替えるとき出力クロックは切り替え前の状態を保持し新たに選択したクロックの位相と出力クロックの位相を合わせたのち該新たに選択したクロックに出力クロックを同期させるクロック供給方法において、所定の周期ごとに段階的に出力クロックの周波数を新たに選択したクロックの周波数に近づけることを特徴とするクロック供給方法。

【請求項 10】 新たに選択したクロックの位相と出力クロックの位相の差を所定周期ごとにデジタル値で出力させ、そのデジタル値の増加減少傾向を所定周期ごとに検知し、その傾向に基づき出力クロックの周波数を段階的に増加減少させることを特徴とする請求項 9 記載のクロック供給方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック供給装置に関し、特にホールドオーバー機能を備えたクロック供給装置に関する。

【0002】

【従来の技術】シンクロナス・デジタル・ハイアラキー(SDH)のようなネットワーク構成において、クロック供給装置は該ネットワーク上で使用するクロック源を選択し、周辺回路及び後段の装置にクロックを供給する役割をもっている。クロック供給装置は、選択している入力クロックに障害が発生した場合、障害をもたないクロックに切り替えを行う。しかし切り替え制御を行う際に出力クロックの位相が急変すると、前記出力クロックで動作している周辺回路、及び後段に接続されているクロック供給装置に信号エラー等重大な影響を与え、ネットワーク全体を不安定にする。従来、この出力クロック

位相の急変を抑えるために、同期源として選択するクロックの切り替えを行うとき、出力クロックは切り替える前の状態を保持し、次に選択したクロックの位相と出力クロックの位相を合わせた後、次に選択したクロックに出力クロックを同期させるホールドオーバー機能が知られている。

【0003】図5は従来回路の一例を示すブロック図である。クロック選択回路1は複数のクロック入力から1つのクロック101を選択クロック110として選択する。前記クロック101に障害がない状態のとき、第1の分周回路2は選択されたクロック101に対応する分周数で選択クロック110を分周し、タイミングパルス111を生成する。位相比較器3は前記タイミングパルス111と第2の分周回路12において電圧制御発振器11の出力クロック120を分周したタイミングパルス112の位相を比較し、位相比較結果127を出力する。デジタルサンプリング回路4は前記位相比較結果127をデジタル値117に変換する。デジタル値117は、ホールドオーバー制御回路7を経由し、D/Aコンバータ8でアナログ電圧値に変換され、ループフィルタ9、アンプ10を介して電圧制御発振器11に入力する。電圧制御発振器11は、この制御電圧によって、出力クロック120の周波数を制御することにより選択しているクロック101に同期した出力クロック120を得る。

【0004】記憶装置5はサンプリング回路4の出力デジタル値117を記憶している。選択されているクロック101に障害が発生し、クロック障害検出回路14が障害を検出したとき、ホールドオーバー制御回路7は、出力デジタル値117を障害検出前の固定デジタル値128として出力する。この固定デジタル値128が電圧制御発振器11を制御することにより出力クロック120は障害前の状態を保ちホールドオーバー状態となる。ホールドオーバー状態の間に、クロック選択回路1は選択クロック110を障害のあるクロック101から障害のないクロック102に切り替える。位相補正回路6は第2の分周回路12から出力するタイミングパルス112のパルス位置を制御する。ホールドオーバー制御回路7は記憶装置5の固定出力デジタル値128とデジタルサンプリング回路4の出力デジタル値117が一致したことを確認後、出力デジタル値119を記憶装置5の出力デジタル値128からデジタルサンプリング回路4の出力デジタル値117に切り替えることによりホールドオーバー状態を解除し、出力クロック120は新たに選択されたクロック102に同期する。

【0005】

【発明が解決しようとする課題】しかし、上記従来の回路には以下のような問題点がある。障害が発生する前の入力クロック101と次に選択するクロック102の周

波数差が大きい場合、ホールドオーバーが解除された後、出力クロック120は切り替え前のクロック101とは異なる周波数のクロック112に追従するため急激に位相が変動する。入力クロック切り替え前後の周波数差が大きい場合、切り替え前のクロック101に同期しているときの出力デジタル値119と切り替え後のクロック102に同期しているときの出力デジタル値119の値が一致しない。従来の回路では、出力クロックから生成されるタイミングパルスの位置を制御することにより位相比較結果の出力値をホールドオーバー中の固定デジタル出力値に一致させてホールドオーバーを解除しているため、ホールドオーバー解除後、ホールドオーバー中の固定デジタル値から次に選択するクロック102に同期するデジタル値へと変化するとき、出力クロックの位相が急激に変化する。出力クロックの急激な位相変動の結果、周辺回路及び下位のネットワークに障害が発生する可能性が生じる。

【0006】特願平11-22370では、上記問題を解決するためにPLL回路のオペアンプ帰還抵抗値をスイッチングで変更させることにより、安定状態とホールドオーバー解除時の応答速度を切り替えている。安定状態では帰還抵抗値を大きくすることにより応答速度を速くして入力クロックの変動に対して即座に追従するようにし、ホールドオーバー解除時には帰還抵抗値を小さくすることにより応答速度を遅くすることによって次に選択したクロックに同期する過程で発生する急激な位相変動を抑圧している。

【0007】しかし、前記手法ではスイッチングにより抵抗値の変更を行っており、アナログ回路のばらつきや電源電圧の変化を考慮しなくてはならず、調整が困難になるという問題がある。また、応答速度をデジタル的に可変にすることができるデジタルPLLやDDS（デジタル・ダイレクト・シンセサイザ）回路もあるが、CPUやDSPを必要とするため回路構成が複雑になったり、回路が高価になるという問題があった。

【0008】本発明では以上の課題を解決し、低コストで簡単な構成で急激な位相変動を抑えることのできるクロック供給装置とクロック供給方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決する本発明のクロック供給装置は、複数のクロックから1つのクロックを選択し該クロックに同期するクロックを出力するクロック供給装置であり、かつ選択したクロックを切り替えるとき出力クロックは切り替え前の状態を保持し新たに選択したクロックの位相と出力クロックの位相を合わせたのち該選択したクロックに出力クロックを同期させるホールドオーバー機能を備えるクロック供給装置であって、新たに選択したクロックの位相と出力クロックの位相を所定の周期ごとに比較しその比較結果をディ

ジタル値で出力する手段と、該比較結果の変動に基づき出力クロックを制御する手段を備える。

【0010】更に他のクロック供給装置の発明は、さらに比較結果のデジタル値の変動に応じて切り替え前の比較結果の値を所定の周期ごとに増加させ又は減じて出力する加減算手段を備え、所定の周期で出力される加減算手段の出力値によって出力クロックの発振回路を制御する。他のクロック供給装置の発明は、比較結果のデジタル値が変化しない場合にホールドオーバー状態を終了させる手段を備える。上記加減算手段は比較結果のデジタル値に1を加算しまたは1を減じる。

【0011】また他のクロック供給装置の発明は、複数のクロックから1つのクロックを選択し該クロックに障害が発生したとき他のクロックを選択して出力するクロック選択手段と、所定の制御信号に基づいた周波数のクロックを出力する発振手段と、前記クロック選択手段の出力するクロックに基づいたタイミング信号と前記発振手段の出力するクロックに基づくタイミング信号の位相差を比較しその比較結果をデジタル値で出力する位相比較手段と、前記比較結果を記憶する記憶手段と、選択しているクロックに障害が発生したとき前記発振手段をホールドオーバー状態にし、他のクロックが選択された後、前記発振手段のホールドオーバー状態を解除するホールドオーバー手段と、前記発振手段の出力するクロックに基づくタイミング信号のパルス位置を制御する位相補正手段を備えるクロック供給装置であって、位相比較手段の出力するデジタル値の比較結果を所定の周期ごとに出力するサンプリング手段と、サンプリング手段の出力するデジタル値の変動を監視し該変動状態に応じた信号を所定の周期で出力する変動監視手段と、該変動監視手段の出力する信号に基づき前記記憶手段の記憶している値を増加させ又は減じて出力する加減算手段を備え、ホールドオーバー手段は、前記記憶手段の保持値によって前記発振手段をホールドオーバー状態とし所定の周期で出力される加減算手段の出力値によって前記発振手段を制御し、サンプリング手段の出力値と前記加減算手段の出力値とが一致したときサンプリング手段の出力値を出力しホールドオーバー状態を解除する。上記クロック供給装置において、加減算手段は記憶手段の記憶しているデジタル値に1を加算しまたは1を減じる。また変動監視手段はサンプリング手段の出力値を所定の周期でラッチし、1周期前にラッチした値と比較し、増加、減少、または変動なしを検知し制御信号を加減算手段に送付する。またサンプリング手段および変動監視手段の動作周期を与えるタイミングパルス生成回路を備えることができ、該動作周期は可変である。

【0012】本発明のクロック供給方法は、選択されたクロックに同期するクロックを出力し、該選択したクロックを切り替えるとき出力クロックは切り替え前の状態を保持し新たに選択したクロックの位相と出力クロック

の位相を合わせたのち該新たに選択したクロックに出力クロックを同期させるクロック供給方法であって、所定の周期ごとに段階的に出力クロックの周波数を新たに選択したクロックの周波数に近づける。これは、すなわち、新たに選択したクロックの位相と出力クロックの位相の差を所定周期ごとにデジタル値で出力させ、そのデジタル値の増加減少傾向を所定周期ごとに検知し、その傾向に基づき出力クロックの周波数を段階的に増加減少させる。

10 【0013】上記本発明は、選択したクロックに出力クロックを同期させる際、出力クロックの位相が急激に変化することがなく、他の周辺回路に影響を及ぼさない。

【0014】

【発明の実施の形態】図1は、本発明のクロック供給装置の一実施例を示すブロック図である。まず、このクロック供給装置の基本構成要素は、クロック選択・障害検出部、電圧制御発振器11の出力するクロックと選択クロックの位相差を比較する位相比較器3、位相比較器3の出力をデジタル化して出力するデジタルサンプリング回路4、このデジタル値を監視するデジタル値変動監視回路17、およびホールドオーバー制御を行うホールドオーバー制御回路7である。

【0015】クロック選択回路1はクロック選択制御信号124に基づき、入力される複数の基準クロック101~10N(Nは2以上の自然数)の中から1つのクロックを選択し、選択クロック110として第1の分周回路2に出力する。複数の基準クロック101~10Nはクロック障害検出回路14にも入力している。第1の分周回路2はクロック切替制御回路14から送られるクロック選択制御信号124に基づき、選択されたクロックの周波数に応じて分周数を切り替えて前記選択クロック110を分周し、タイミングパルス111を位相比較器3に出力する。位相比較器3にはこの他に第2の分周回路12からタイミングパルス112が入力する。第2の分周回路12は位相補正回路6の制御信号125に従いタイミングパルス112のパルス位置を決定する回路であって、電圧制御発振器11の出力クロック120を分周して位相比較器3に出力する。

【0016】位相比較器3は前記タイミングパルス111と前記タイミングパルス112の位相を比較して位相比較結果127をデジタルサンプリング回路4に出力する。この位相比較器3は、選択クロック110から生成されるタイミングパルス111でセット、電圧制御発振器11の出力クロック120から生成されるタイミングパルス112でリセットを行うエッジトリガ式のセット・リセット・フリップフロップである。デジタルサンプリング回路4は前記位相比較結果127を発振器15の出力サンプリングクロック121でサンプリングし、タイミングパルス生成回路16により生成されるラッチ信号123でサンプリング結果をラッチし、ディジ

タル値117を位相補正回路6、ホールドオーバー制御回路7、記憶装置5及びデジタル値変動監視回路17に出力する。

【0017】クロック障害検出回路14は入力クロック101～10Nの障害検出を行い、クロック選択制御信号124に基づき選択中のクロックの障害を検出した場合には障害検出信号114をクロック切替制御回路13及びホールドオーバー制御回路7に出力する。クロック切替制御回路13はクロック障害検出回路14の障害検出信号114に基づき、装置に入力されるクロック101～10Nの中から障害の発生していないクロックを選択し、クロック選択制御信号124をクロック選択回路1、第1の分周回路2及びクロック障害検出回路14に出力する。

【0018】記憶装置5はデジタルサンプリング回路4の出力するデジタル値117を記憶しており、ホールドオーバー制御回路7から入力されるホールドオーバー制御信号116に基づき、ホールドオーバー制御中には選択クロックに障害が発生する前のデジタル値117を加減算器18に出力する。ホールドオーバー制御回路7は前記クロック障害検出回路14から障害検出信号114を受信しない場合、または障害検出信号114がクロック障害なしを表わしている場合にはデジタルサンプリング回路4の出力デジタル値117を選択する。一方、障害検出信号114を受信し又はこれが異常を示す場合には、ホールドオーバー制御信号116を記憶装置5、デジタル値変動監視回路17、及び加減算器18に出力してホールドオーバー制御を行い、加減算器18の出力デジタル値118を選択してデジタル値119として出力する。また、ホールドオーバー制御中に、デジタル値変動監視回路17から入力される周波数一致信号115によってタイミングパルス111とタイミングパルス112の周波数が一致したことを確認した後、すなわちデジタルサンプリング回路4の出力デジタル値117と加減算器18の出力デジタル値118の一致を検出した後、ホールドオーバー制御信号116を停止し、ホールドオーバーを解除し、デジタルサンプリング回路4の出力デジタル値117を選択してデジタル値119として出力する。

【0019】D/Aコンバータ8はホールドオーバー制御回路7から入力されたデジタル値119をアナログ値に変換し、このアナログ値がループフィルタ9、アンプ10を介して電圧制御発振器11の出力クロック120の周波数を制御する。電圧制御発振器11は制御電圧が高いほど周波数が高くなる特性である。

【0020】タイミングパルス生成回路16は、発振器15の出力サンプリングクロック121を分周し、位相比較結果127のデジタルサンプリング結果をラッチするラッチ信号123と、デジタル値変動監視回路17に出力する監視クロックパルス122を生成する。デ

ジタル値変動監視回路17は、ホールドオーバー制御信号116に基づきホールドオーバー制御が行われている期間、タイミングパルス生成回路16から入力される監視クロックパルス122の周期でデジタルサンプリング回路4の出力デジタル値117の変動を監視する。デジタル値変動監視回路17は、監視クロックパルス122の周期でデジタル値117の値が大きくなっていく場合は加算制御を行い、小さくなっていく場合は減算制御を行う加減算制御信号113を加減算器18に出力する。また、監視クロックパルス122の周期でデジタル値117の値に変動がないことを検出した場合、周波数一致信号115を位相補正回路6及びホールドオーバー制御回路7に出力する。

【0021】加減算器18は、ホールドオーバー制御信号116に基づき、ホールドオーバー制御期間中にデジタル値変動監視回路17から入力される加減算制御信号113に従い、記憶装置5から入力される固定デジタル値に対して監視クロックパルス122のタイミングで1を加算し、もしくは1を減算したデジタル値118を出力する。

【0022】位相補正回路6はホールドオーバー制御期間中にデジタル値変動監視回路17から入力する周波数一致信号115に基づき、デジタルサンプリング回路4の出力デジタル値117とホールドオーバー制御中の固定出力デジタル値119のデジタル値を比較し、デジタル値117とデジタル値119が一致するようにタイミングパルス112のパルス位置を変更する制御信号125を第2の分周回路に出力する。

【0023】次に、本実施例の動作について図1及び図2を参照して説明する。クロック選択回路1ではクロック101を選択しており、障害はないものとする。このとき選択クロック110にはクロック101が出力され、第1の分周回路2は選択されたクロック101に対応する分周数で選択クロック110を分周し、タイミングパルス111を生成する。位相比較器3はタイミングパルス111と第2の分周回路12において電圧制御発振器11の出力クロック120を分周したタイミングパルス112の位相を比較し、位相比較結果127を出力する。この位相比較結果127は、デジタルサンプリング回路4においてデジタル値に変換され、ホールドオーバー制御回路7、D/Aコンバータ8を経由してアナログ電圧値に変換され、ループフィルタ9、アンプ10を介して電圧制御発振器11の出力クロック120の周波数を制御する。これにより選択しているクロック101に同期した出力クロック120が出力される(図2、S1)。

【0024】次に、クロック101に障害が発生したとき、クロック障害検出回路14は障害検出信号114をクロック切替制御回路13及びホールドオーバー制御回路7に出力する(図2、S2)。この後、ホールドオー

バー制御が開始される。ホールドオーバー制御回路7は、クロック障害信号114を受信すると、ホールドオーバー制御信号116を記憶装置5、デジタル値変動監視回路17、及び加減算器18に出力する。記憶装置5は、クロック101に障害が発生する前の正常な状態でのデジタル値を保持しており、ホールドオーバー制御信号114を受信すると保持していたデジタル値128を固定して出力する。まずデジタル値128は加減算器18では制御を受けずにそのまま出力デジタル値118として出力される。さらにホールドオーバー制御回路7ではホールドオーバー制御信号116のタイミングでデジタルサンプリング回路4の出力デジタル値117から加減算器18の出力デジタル値118へ出力デジタル値119を切り替える。すなわちクロック101に障害が発生した後も障害が発生する前のデジタル値を保持し、ホールドオーバー制御を開始する

(図2、S3)。上記デジタル値119はD/Aコンバータ8を介して電圧制御発振器11の制御を行うことによりクロック101に障害が発生する前とほぼ同じ周波数の出力クロック120を電圧制御発振器11から出力させる。

【0025】次にホールドオーバー制御が解除されるまでの動作について説明する。ホールドオーバー制御が開始されると、クロック切替制御回路14の制御信号124に従いクロック選択回路1は障害の発生したクロック101から障害のない安定したクロック102に切り替え、選択クロック110として出力する(図2、S4)。デジタル値変動監視回路17はタイミングパルス生成回路16から入力する監視クロックパルス122の周期でデジタルサンプリング回路4の出力デジタル値117をラッチし、一周期前にラッチしたデジタル値と比較する(図2、S5)。このとき、クロック切替後の最初の比較は、デジタル値変動監視回路17が初期値として保持していた正常な状態でのデジタル値と上記最初にラッチした値とが比較される。

【0026】デジタル値変動監視回路17が出力するラッチしたデジタル値が一周期前にラッチしたデジタル値よりも大きい場合(図2、S6)は、加減算制御信号113で加算制御を出力し、加減算器18で出力デジタル値118を監視クロックパルス122のタイミングで+1する(図2、S7)。+1加算されたデジタル値118がホールドオーバー制御回路7からデジタル値119として出力され、電圧制御発振器11に入力されると、デジタル値の増加分に対応して出力クロック120の周波数が高くなり、タイミングパルス112の周波数も高くなる(図2、S8)。同様に、監視クロックパルス122の周期でラッチしたデジタル値が一周期前にラッチしたデジタル値よりも小さい場合

(図2、S9)、加減算制御信号113に基づき、加減算器18は出力デジタル値118を監視クロックパル

ス122のタイミングで-1する(図2、S10)。その結果、電圧制御発振器11を制御するデジタル値が減少するため、出力クロック120の周波数が低くなり、タイミングパルス112の周波数も低くなる(図2、S11)。以上のステップを繰り返すことにより、デジタル変動監視回路17において監視クロックパルス122の間隔でデジタル値117に変動が無くなったとき、デジタル変動監視回路17はタイミングパルス111とタイミングパルス112の周波数が一致したと判断して、周波数一致信号115を位相補正回路6及びホールドオーバー制御回路7に出力する(図2、S12)。位相補正回路6は前記周波数一致信号115を検出したとき、第2の分周回路12の出力タイミングパルス112のパルス位置を制御し、デジタルサンプリング回路4の出力デジタル値117をホールドオーバー制御回路7の出力デジタル値119に一致させる(図2、S13)。ホールドオーバー制御回路7は周波数一致信号115を受信し、前記パルス位置の制御に従い加減算器18の出力デジタル値118とデジタルサンプリング回路4の出力値117が一致したことを確認後、出力デジタル値119を加減算器18の出力デジタル値118からデジタルサンプリング回路4の出力デジタル値117に切り替え、ホールドオーバー制御信号116を解除する(図2、S14)。以上、ホールドオーバー制御信号116に従い、ホールドオーバーは解除され、出力クロック120は次に選択されたクロック102に同期する(図2、S15)。

【0027】図3は、従来のクロック供給装置(加減算器なし)と本発明のクロック供給装置(加減算器あり)のホールドオーバー制御とその解除を表わす図である。従来のクロック供給装置の場合、クロック101の障害発生前のタイミングパルス111の周波数 f_1 は、障害発生後、短いホールドオーバー制御の期間を経て、新たに選択されたクロック102のタイミングパルス111の周波数 f_2 に、急激に追従しクロック202同期となっている。しかし、本発明のクロック供給装置では、デジタル変動監視回路17が監視タイミングパルス112の周期(図3では T_1 、 T_2)ごとに、デジタル値で+1づつ出力デジタル値119増減するので、所定の時間をかけて段階的に上記 f_1 が f_2 へ近づく。このため、出力クロックの位相が急激に変化し、周辺回路に障害を引き起こすおそれが少ない。図3からも明らかに監視タイミングパルス112の周期は任意に設定できる。

【0028】具体的構成としては、図4を参照すると、サンプリングクロック121が入力するタイミングパルス生成回路16は、設定信号126を入力とする可変分周器31とラッチ信号123出力する分周器30を備える。監視クロックパルス122を生成する可変分周器31は、設定信号126に従い監視クロックパルス122

12

【図4】 タイミングパルス生成回路の構成例を示すブロック図。

【図5】従来のクロック供給装置の実施例を示すブロック図。

【符号の説明】

1 クロック選択回路

2 第1の分周回路

3 位相比較器
4 デジタルサンプリング回路

10 7 ホールドオーバー制御回路

1 1 電圧制御発振器

16 タイミングパルス生成回路

17 デジタル変動監視回路

18 加減算器

[illegible]

クロック101障害発生

(2) 加減算器有 (T1の場合)

クロック101同期

ホールド・オーバー

クロック102同期

(1) 加減算無

クロック101同期

ホールド・オーバー

追従中

クロック202同期

タイムバース 112の周波数

f2

f1

(1) 加減算無

(2) 加減算器有 (T1の場合)

(3) 加減算器有 (T2の場合)

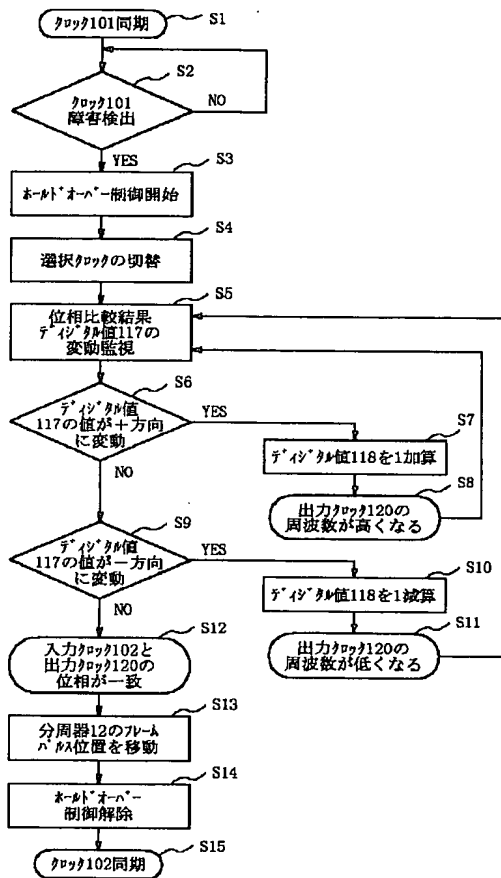
T1

T2

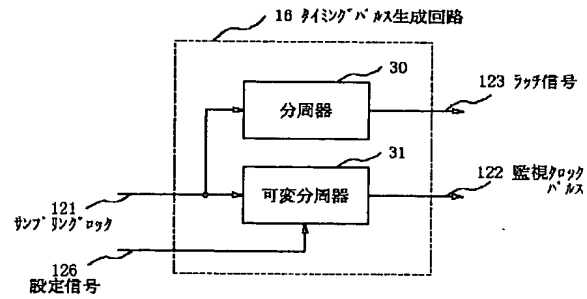
f2: クロック102のタイミングパルス111の周波数

T1, T2 : 監視タイミングパルス112周期

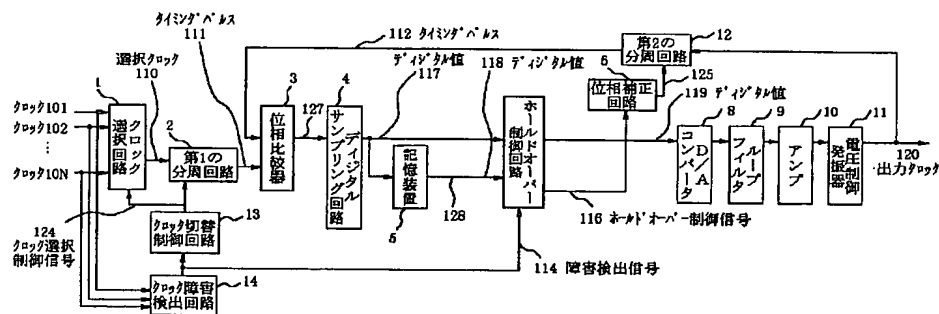
【図2】



【図4】



【図5】



MENU**SEARCH****INDEX****DETAIL****JAPANESE**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-044062

(43)Date of publication of application : 08.02.2002

(51)Int. CI. H04L 7/02
G06F 1/06
H04J 3/00
H04J 3/06
// H03K 5/00

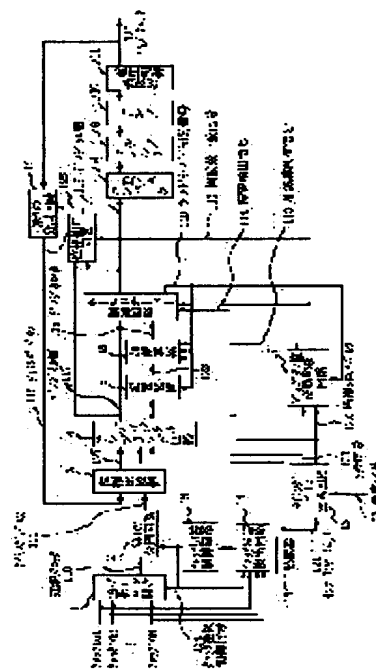
(21)Application number : 2000-227695 (71)Applicant : NEC CORP

(22)Date of filing : 27.07.2000 (72)Inventor : TANIMOTO SHINJI

(54) DEVICE AND METHOD FOR SUPPLYING CLOCK**(57)Abstract:**

PROBLEM TO BE SOLVED: To solve a problem that a network is made unstable by applying a serious influence such as signal error to a peripheral circuit operated by an output clock or to a clock supplier on the following stage when the phase of the output clock is rapidly changed in the case of switching control although the clock supply switches a selected input clock to the clock of no fault when any fault occurs in the input clock.

SOLUTION: This device is provided with a hold over function for holding the output clock in a state before switching when switching a clock and for synchronizing the output clock to a new selecting clock after matching the phase of this selecting clock and the phase of the output clock, a means for outputting the compared value as a digital value by comparing the phase of the newly selected clock with the phase of the held clock and a means for controlling the output clock on the basis of the increase/decrease of this compared result or fixed result.

**LEGAL STATUS**

[Date of request for examination] 19.06.2001

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]